

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-130418**

(43)Date of publication of application : **13.05.1994**

(51)Int.Cl.

**G02F 1/136**

**H01L 29/784**

(21)Application number : **04-283171**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **21.10.1992**

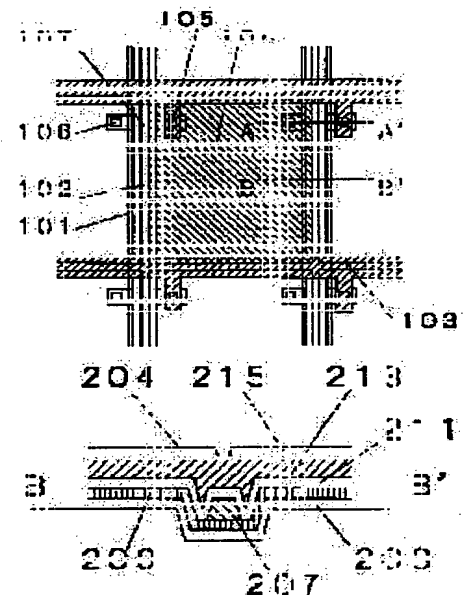
(72)Inventor : **HASHIZUME TSUTOMU**

## (54) ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To provide an active matrix substrate which constitutes a liquid crystal display body capable of obtaining a clear and high quality image by forming a wiring on the groove of a substrate to reduce a parasitic capacity produced between a gate line and a picture element electrode.

**CONSTITUTION:** A passivation film 208 is coated on the entire surface of a glass substrate in which a groove 101 is formed, and a gate insulating film 209 is coated on it. A gate line 102 (207) is located so that it comes in the groove 101. Also a thin film transistor which switches a picture element electrode 104 (204) is constituted at the intersection of the gate line 102 (207) with the data line 103. Then first and second inter-layer insulating films 211 and 213 are located on the gate line 207 (102), and the picture element electrode 204 (104) is arranged so that it is overlapped with the gate line 207 (102). Thus, because the thickness of the inter-layer insulating films 211 and 213 is increased, a parasitic capacity of a capacitor which is formed by the picture element electrode 104 and the gate line 102 on both sides of the inter-layer insulating films 211 and 213 is reduced.



## LEGAL STATUS

[Date of request for examination] **28.12.1998**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] **3127619**

[Date of registration] **10.11.2000**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-130418

(43)公開日 平成 6 年(1994) 5 月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号 特願平4-283171

(22)出願日 平成 4 年(1992)10月21日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72)発明者 橋爪 勉

長野県諏訪市大和 3 丁目 3 番 5 号セイコー

エプソン株式会社内

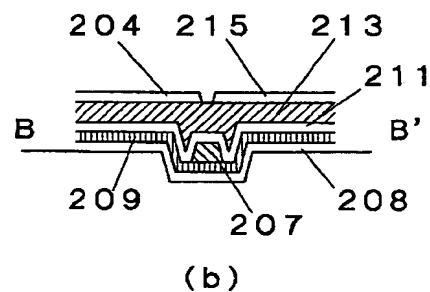
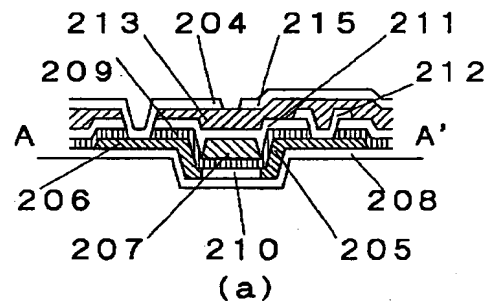
(74)代理人 弁理士 鈴木 喜三郎 (外 1 名)

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【構成】 ソース・ドレイン領域に注入された不純物を金属製のゲート電極に対して自己整合的にレーザ照射で活性化する薄膜トランジスタの製造方法。

【効果】 オフ電流が極めて小さな薄膜トランジスタを大面積のガラス基板上に製作でき、高精細、高コントラスト、高開口率、無欠陥のアクティブマトリクス型液晶表示体を製造することができる。



## 【特許請求の範囲】

【請求項1】 2枚の透明基板に液晶を挟持し、少なくとも一方の基板上に非線形素子が形成された液晶表示装置のアクティブマトリクス基板において、透明導電膜によって形成された絵素電極が上記非線形素子を動作させるための配線上まで覆っており、上記配線が、絵素部分以外の部分における光漏れを防止する遮光膜をかねており、上記の配線が基板の溝に形成されていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記のアクティブマトリクス基板の非線形素子が薄膜トランジスタであることを特徴とする請求項1記載のアクティブマトリクス基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は表示装置に関するものであり、特に非線形素子を備えた液晶表示装置に関するものである。

## 【0002】

【従来の技術】 有力な平面ディスプレイであるアクティブマトリクス型の液晶表示体が大量生産され始めている。平面ディスプレイは、空間占有スペースが小さく、軽量であることから、携帯コンピューターの表示装置や産業用機械の表示部などに使用されている。将来は、画面の大型化や高精細化が進み、家庭用のテレビジョンの応用が期待される。薄膜トランジスタを駆動素子に用いた液晶表示体の場合、高コントラストと色再現性のため各画素の開口率を高める必要がある。従来の画素のレイアウトは図6(a)の様に、薄膜トランジスタのドレイン領域にコンタクトホール606を通して電氣的に接続した画素電極604が、平面的に重ならないようにゲートライン602とデータライン603の間にある程度の距離をおいて形成されていた。この従来例であると、画素電極604とゲートライン602、および画素電極604とデータライン603の間に、隙間があるため画素面積いわゆる開口率が減少する問題があった。この開口率が小さい問題点を克服する従来の好例は公開特許公報平2-207222であり、図6(b)は、この従来例の開口率を高めたアクティブマトリクス液晶表示装置の、駆動素子と画素のレイアウトを示している。この従来のアクティブマトリクス型液晶表示装置は、開口率を高めるために、透明な画素電極604とゲートライン602、および画素電極604とデータライン603の間に厚めの有機薄膜の層間絶縁膜613を形成し、画素電極604をゲートライン602とデータライン603の両方に重なるように形成していた。

【0003】 この図6(b)のA-A'とB-B'に沿った断面図を図7と図8に示す。

【0004】 図7(a)は、プレーナ型薄膜トランジスタの断面図である。ガラス基板上に不純物の拡散を防ぐためのパッシベーション膜708を形成し、ソース領域

705とドレイン領域706と活性シリコン層710が連続的に構成され、活性シリコン層710上にゲート絶縁膜709が被着形成し、さらに活性シリコン層710に重なるようにゲート電極707がある。ゲート電極707を、第1の層間絶縁膜711と第2の層間絶縁膜713で覆う。また、第1の層間絶縁膜711と第2の層間絶縁膜713の間には、ソース領域705に接続されたソース電極がある。さらに、ドレイン領域706に到達するように層間絶縁膜にコンタクトホールを形成し、第2の層間絶縁膜713上に画素電極704を形成する。図7(a)に示されるように画素電極704はゲート電極707に重なるように形成し、さらに隣の画素の画素電極715もゲート電極707に重なっている。また、B-B'に沿った断面図、図7(b)では、画素電極704はゲートライン702に重なるように形成し、さらに隣の画素の画素電極715もゲートライン702に重なっている。

【0005】 逆スタガー型薄膜トランジスタをスイッチング素子に使用した場合の断面図を図8(a)と図8(b)に示す。画素電極804とゲート電極807およびゲートライン802の位置関係は図7(a)と図7(b)と同様である。

## 【0006】

【発明が解決しようとする課題】 ところが、従来の方法では次のような問題があった。

【0007】 データラインと透明画素電極の間に、400nmの厚みの酸化シリコン膜、あるいは窒化シリコン膜、または1000nmの厚みの有機薄膜を挟み込んで、データラインと透明画素電極の一部の領域と、さらにゲートラインと透明画素電極の一部の領域を重ねて、開口率の向上を図っているが、図5の回路図で示すゲートラインG<sub>0</sub>と画素電極の間で大きな寄生容量C<sub>0</sub>が発生し、透明画素電極に十分な信号が印加されず、低コントラストの表示になってしまう、いわゆるブッシュダウンの欠点があった。さらに、データラインS<sub>0</sub>とS<sub>0+1</sub>と画素電極の間に発生する容量C<sub>0</sub>とC<sub>0+1</sub>は、データラインの信号の遅延やなまりによるクロストークの原因となり、高品質の画像が得られない問題があった。

## 【0008】

【課題を解決するための手段】 2枚の透明基板に液晶を挟持し、少なくとも一方の基板上に非線形素子が形成された液晶表示装置のアクティブマトリクス基板において、透明導電膜によって形成された絵素電極が上記非線形素子を動作させるための配線上まで覆っており、上記配線画素部分以外の部分における光漏れを防止する遮光膜をかねており、上記非線形素子の動作を制御する配線が上記非線形素子の活性化領域より、下方に形成されていることを特徴とするアクティブマトリクス基板である。

## 【0009】

【実施例】本発明は上記の問題に鑑み、ブッシュダウンの原因となるゲートラインと画素電極の間で発生する寄生容量を低減し、またブッシュダウン現象を緩和するための保持容量を形成することによって、鮮明な高品質の画像が得られる液晶表示体を構成するアクティブマトリクス基板の構造を提供するものである。

【0010】また、クロストークの原因となる配線と画素電極の間で発生する寄生容量を低減することによって、鮮明な高品質の画像が得られる液晶表示体を構成するアクティブマトリクス基板の構造を提供するものである。

【0011】図1(a)と図1(b)は、実施例の画素の平面図である。

【0012】図1(a)ではガラス基板の溝101にゲートライン102を配置し、データライン103と格子状に交差している。ゲートライン102とデータライン103の間には絶縁膜が形成されていて、電気的に絶縁されている。ゲートライン102とデータライン103の交差部に、画素電極104をスイッチングする薄膜トランジスタが構成されている。ゲートライン102とデータライン103と薄膜トランジスタ以外の領域をすべて画素領域に利用するため、画素電極104をゲートライン102とデータライン103に重ねている。画素電極104は、ゲートライン102とデータライン103の一部と重なるように形成され、ガラス基板の背後からの光は画素電極104を透過するか、ゲートライン202とデータライン103に遮られ、画素電極以外からの光の漏れはない。つまり、ゲートライン103とデータライン103は遮光膜を兼ねている。図1(a)の実施例では、薄膜トランジスタのソース領域105が隣の画素電極の領域に形成されている場合であるが、図1(b)では、薄膜トランジスタと、その薄膜トランジスタがスイッチングする画素電極が、重なっている実施例を示した。ゲートライン102から枝別れしているゲート電極107もガラス基板の溝101の中に形成されている。

【0013】図2(a)は、本発明の実施例のプレーナ型の薄膜トランジスタをスイッチング素子に利用した場合の図1(a)のA-A'に沿った薄膜トランジスタの断面図を示す。

【0014】溝を形成したガラス基板全面に、パッシベーション膜の酸化シリコン膜あるいは窒化膜208を被着し、パターンニングしたシリコン膜が溝に入っており、このシリコン膜を覆うようにゲート絶縁膜209が被着し、溝に入るようにゲート電極207を配置する。ソース領域205とドレイン領域206を、ゲート電極207に対して自己整合的に構成する。しかし、このソース領域205とドレイン領域206は必ずしもゲート電極207に対して自己整合的な配置でなくても良い。ソース領域205とドレイン領域206の間に活性シリコン

層210がある。この活性シリコン層210は、多結晶シリコンあるいは、単結晶シリコン、非晶質シリコンのいずれかでできている。

【0015】ゲート電極207を覆うように、酸化シリコンや窒化シリコンでできた第1の層間絶縁膜211がある。この第1の層間絶縁膜211とゲート絶縁膜209にコンタクトホールを開けてソース電極212が形成されている。さらに、第1の層間絶縁膜上に、有機薄膜でできた厚みが1 $\mu$ mの第2の層間絶縁膜213が被着し、この第2の層間絶縁膜213上に画素電極204が被着し、ゲート絶縁膜209と第1の層間絶縁膜210と第2の層間絶縁膜を貫くコンタクトホールを通じて画素電極204とドレイン領域が電気的に接続している。

【0016】画素の構造が図1(a)の場合では、画素電極204はゲートラインの一部に重なるように形成されている。

【0017】図1(b)のB-B'に沿ったゲートライン202の断面構造を図2(b)に示した。ゲートライン202上には、第1の層間絶縁膜と第2の層間絶縁膜があり、ゲートラインに重なるように画素電極204が配置している。このため、光が透過する有効な画素面積は最大となり、コントラスト比が大きな画像が得られる。

【0018】このゲートライン202と画素電極204の重ね合わせは、データラインでも利用している。また、ゲートライン202に限らず、データラインもガラス基板の溝の中に配置しても良い。

【0019】プレーナ型ばかりでなく逆スタガー型構造の薄膜トランジスタでも、この発明を応用できる。発明の逆スタガー型の薄膜トランジスタの断面図とゲートラインの断面図をそれぞれ図3(a)と図3(b)に示す。

【0020】図2(a)と図2(b)、図3(a)、図3(b)の例で、第1の層間絶縁膜がなくてもこの発明を応用できる。

【0021】さらに、図1の実施例をさらに発展させて、ゲートラインの構造を図4の様にする。ガラス基板の溝にゲートライン407あるいはゲート電極の一部を埋め込むように形成し、有機薄膜の層間絶縁膜413で覆う。有機薄膜は基板の凹凸を減少するように形成され、表面は平坦化する。このためゲートライン407と画素電極404重なるの間にある有機薄膜の層間絶縁膜413厚み $d_1$ が厚くなるので寄生容量 $C_{p1}$ が小さくなり、ゲートライン407と隣の画素電極415の重なる有機薄膜413の厚み $d_2$ が薄くなるため保持容量 $C_{h1}$ が大きくなるので、図5で表される寄生容量 $C_{p1}$ が低減し、保持容量 $C_{h1}$ が増加するので、画素電極に印加される信号の歪が減称するため、より良好な画像表示を実現できる。

【0022】プレーナ型薄膜トランジスタを利用したア

クティブマトリクス基板ばかりでなく、図4(b)に示すように、逆スタガー型薄膜トランジスタの場合でも、この方法を応用することができる。

【0023】

【発明の効果】配線をガラス基板の溝の中に形成することにより、データラインやゲートライン、ゲート電極上の、層間絶縁膜である有機薄膜の厚みが従来より厚くなるため、画素電極と配線が層間絶縁膜を挟んだコンデンサの寄生容量が小さくなるため、スイッチング素子によって画素電極に加えられた信号の歪みが著しく減少するので、開口率が極めて高い状態で、明るくコントラストが高い良好な品質の画像が得られるようになった。

【0024】また、データラインをガラスの溝に形成する場合には、データラインと画素の重なりで発生した容量が減少するので、データラインの端から端まで正確な信号が伝わるので、画像のムラやフリッカーがなくなり、やはり、開口率が極めて高い状態で、明るく高品質の画質が得られるようになった。

【0025】また、ゲートラインをガラスの溝の一部に入るように形成することによって、寄生容量を減らし、保持容量を増加するため、スイッチング素子によって画素電極に加えられた信号の歪みが著しく減少するので、開口率が極めて高いままで、明るく高品質の画質が得られるようになった。

【図面の簡単な説明】

【図1】 本発明のアクティブマトリクス基板の平面図。

【図2】 本発明のアクティブマトリクス基板の断面図。

【図3】 本発明のアクティブマトリクス基板の断面図。

【図4】 本発明のアクティブマトリクス基板の断面図。

\*【図5】 アクティブマトリクス基板の画素の回路図。

【図6】 従来のアクティブマトリクス基板の平面図。

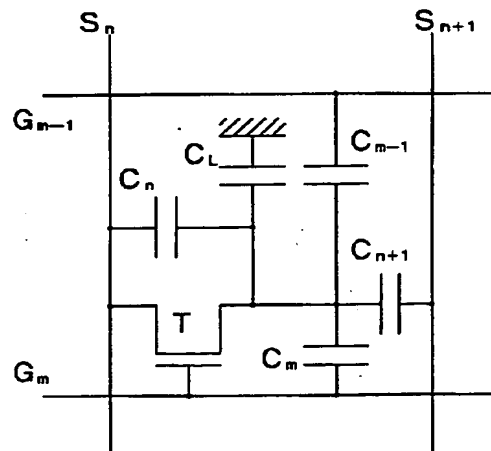
【図7】 従来のアクティブマトリクス基板の断面図。

【図8】 従来のアクティブマトリクス基板の断面図。

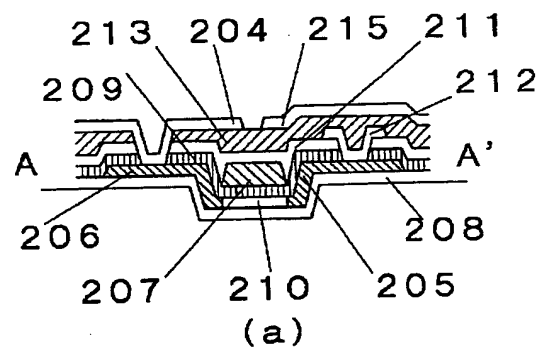
【符号の説明】

101、201、301、401、701、801	…基板の溝
102、202、302、402、602、702、802	…ゲートライン
103、603	…データライン
104、204、304、404、604、704、804	…画素電極
105、205、305、405、605、705、805	…ドレイン領域
106、206、306、406、606、706、806	…ソース領域
107、207、307、407、607、707、807	…ゲート電極
208、308、408、708、808	…バッシベーション膜
209、309、409、709、809	…ゲート絶縁膜
210、310、410、710、810	…活性シリコン層
211、311、411、711、811	…第1の層間絶縁膜
212、312、412、712、812	…ソース電極
213、313、413、713、813	…第2の層間絶縁膜
214、314、414、714、814	…ストッパ層
215、315、415、715、815	…隣の画素電極
$G_{n-1}$	… $m-1$ 行目のゲートライン
$G_n$	… $m$ 行目のゲートライン
$S_n$	… $n$ 列目のデータライン
$S_{n+1}$	… $n+1$ 列目のデータライン
$C_L$	…画素電極の液晶容量
$C_{n-1}$	…画素電極とゲートラインで発生する寄生容量
$C_n$	…画素電極と隣のゲートラインで作る保持容量
$C_n, C_{n+1}$	…画素電極とデータラインで発生する寄生容量

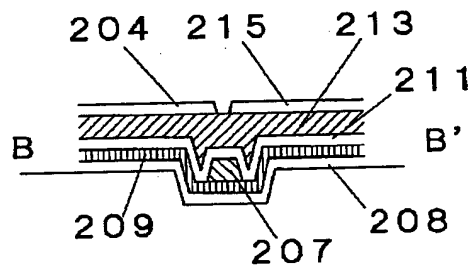
【図5】



【図2】

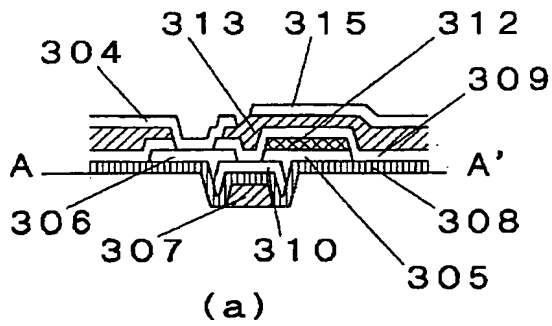


(a)

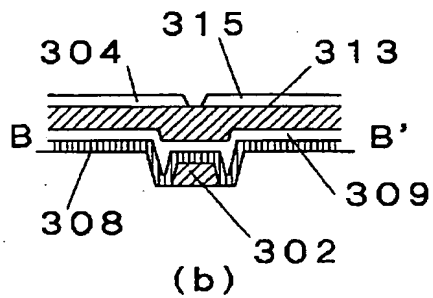


(b)

【図3】

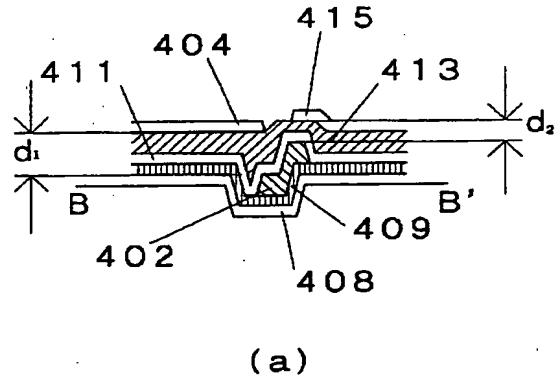


(a)

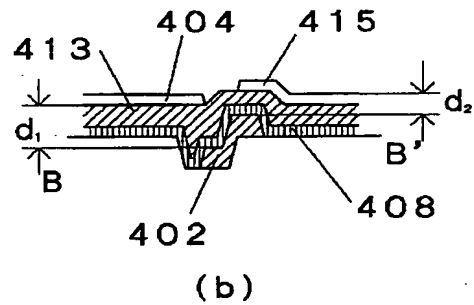


(b)

【図4】

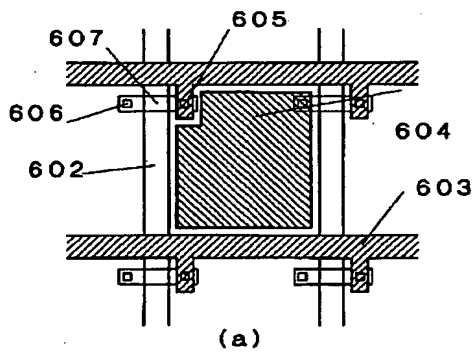


(a)

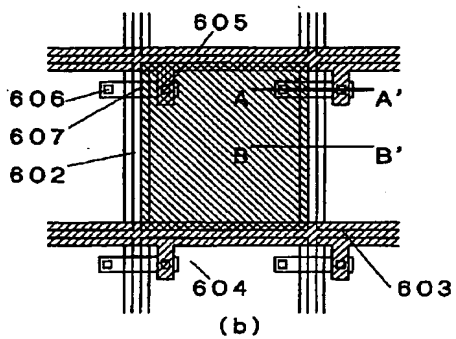


(b)

【図6】

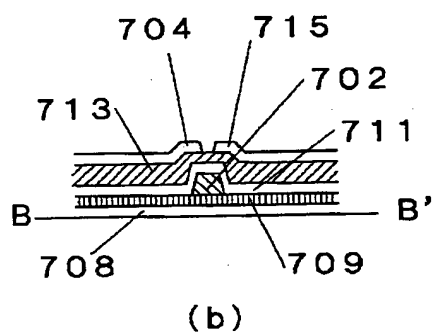
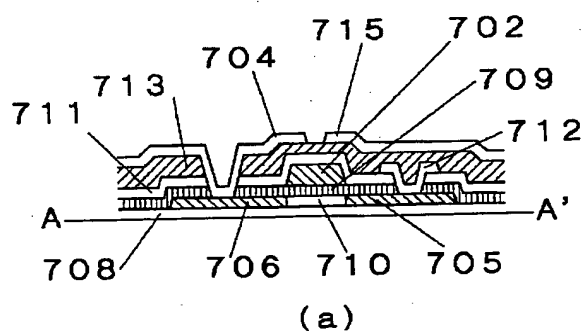


(a)



(b)

【図7】



【図8】

